

EDUCATION CENTER

# TRIAS EDUCATION CENTER

Ausgabe: 08 | 2018

**TRIAS**   
mikroelektronik GmbH



# TRIAS EDUCATION CENTER

## TRIAS SCHULUNGEN

Die TRIAS mikroelektronik GmbH, gegründet 1989, hat sich in den Bereichen EDA Tools (Electronic Design Automation), Lifecycle Management (ALM | PLM) Lösungen und ASIC Lösungen zu einem führenden Distributionsunternehmen entwickelt.

Unser „Education Center“ bildet unsere Kunden in innovativen Design- und Verifikationsprozessen, wie auch im Umgang mit unseren EDA- und ALM | PLM-Lösungen aus

- ▶ SystemVerilog – “Advanced Verification” für FPGA Design
- ▶ VHDL 2008
- ▶ Verilog für VHDL Anwender
- ▶ Signalintegrität für Hardware Entwickler
- ▶ Signalintegrität – High-Speed Speicherschnittstellen
- ▶ UVM Made Easy für FPGA Designer
  
- ▶ Accelerating FPGA and Digital ASIC Design
- ▶ Accelerating FPGA VHDL Verification
  
- ▶ Produkttraining für Tools von **Mentor**<sup>®</sup>  
A Siemens Business





## TRIAS SCHULUNGEN

### SYSTEMVERILOG – “ADVANCED VERIFICATION” FÜR FPGA DESIGN

Dieser Workshop gibt einen Überblick über die SystemVerilog Sprache und führt in neue Verifikationsmethoden "Assertion Based Verification", "Constrained-Random-Generation" und "Functions Coverage" ein. Die Teilnehmer werden lernen, wie diese mächtigen Verifikationsmethoden zur Beschleunigung der Verifikation dienen, sowie den Fortschritt der Verifikation erfassen und wie diese Methoden natürlich auch auf die Verifikation von VHDL Designs angewendet werden können.

### VHDL 2008

Der Workshop VHDL 2008 vermittelt einen Überblick über die Änderungen und Neuerungen in der Sprache, die in dem Standard IEEE 1076-2008 definiert wurden. Der Kurs gliedert sich in drei Hauptteile: Neuerungen und Änderungen im Bereich des synthetisierbaren Sprachkonstrukte, Neuerungen für die Verifikation, die von PSL (IEEE 1850) übernommen wurden und im letzten Teil geht es um die Möglichkeit, die Constrained Randomization Methodik, die von der Sprache direkt nicht unterstützt wird, mit Hilfe der OSVVM Bibliothek einsetzen zu können.

### VERILOG FÜR VHDL ANWENDER

Da Designs immer komplexer und Entwicklungszeiten immer kleiner werden, müssen Entwicklungsteams immer öfters auf die Nutzung von IP Cores zurückgreifen. Dies bedeutet, dass Ingenieure im Umgang mit HDL-Sprachen "sprachneutral" werden müssen. Sie benötigen ein solides Wissen über VHDL und Verilog und die damit verbundenen Design-techniken.

Unser Workshop, mit seiner schnellen und effektiven Methode, ist für erfahrene VHDL Anwender geeignet, um die Unterschiede, wie aber auch die Ähnlichkeiten zwischen VHDL und Verilog zu verstehen und um die Verilog-spezifischen Themen zu meistern, die sonst zu schwer erkennbaren Problemen führen könnten.

Wir bieten öffentliche, Live Online sowie Vor-Ort Schulungen an.

Weitere Informationen finden Sie auf unserer Website unter

[Ausbildung](#)



## TRIAS SCHULUNGEN

### SIGNALINTEGRITÄT FÜR HARDWARE ENTWICKLER

Dieser Workshop richtet sich an Entwickler, die High-Speed Schnittstellen zwischen Halbleiterkomponenten und die komplexe Hochgeschwindigkeitsschaltungen auf Board-Ebene entwickeln wollen. Das Training ist für Entwickler geeignet, die nicht nur Schaltpläne entwerfen, sondern auch Systeme und das Layout.

Sie werden zu beurteilen lernen, wann die Signalintegrität wichtig und relevant wird, um z.B. die entsprechenden Abschlussverfahren („termination procedure“) auszuwählen. Signalreflexion und Übersprecheffekte werden beschrieben und durch Simulation nachgewiesen. Simulationsbeispiele werden außerdem für die gängigen Speicherschnittstellen demonstriert. Sie werden lernen, wie High-Speed Bussysteme, einschließlich „Clock Design“, Last und Signalabschluss realisiert werden. Darüber hinaus sind die Energieverteilung und Kurzschlüsse im Design wichtige Themen.

- ▶ *Als optionales Trainingsmodul bieten wir die Themen **Signalintegritätsprobleme und Lösungen für High-Speed Speicherschnittstellen und serielle Transceiver Links an.***

### SIGNALINTEGRITÄT – HIGH-SPEED SPEICHERSCHNITTSTELLEN

Dieser Workshop richtet sich an Entwickler, die High-Speed Speicherschnittstellen auf kundenspezifische Boards implementieren wollen. Speicherschnittstellen werden sehr oft verwendet. Sie werden schneller und schneller - und die Entwurfsprobleme werden mehr und mehr eine Herausforderung. Das Training ist für Entwickler geeignet, die nicht nur Schaltpläne entwerfen, sondern auch Systeme und das Layout.

Sie werden die entsprechenden Besonderheiten der Speicherbausteine für logische und physische Designs kennenlernen. Zeit- und Spannungstoleranzen werden diskutiert.

Sie werden lernen wie Sie die Signalintegrität-Simulation anwenden, um die High-Speed Speicherschnittstellen zu optimieren. IBIS Modelle und Simulation werden die Effekte und möglichen Problemzonen aufdecken. Sie werden lernen, wie High-Speed Speicherschnittstellen implementiert werden, einschließlich Themen auf Boardebene. Darüber hinaus werden die Stromversorgungsprobleme diskutiert. Schließlich werden Sie Optionen zur Verifikation auf Boardebene kennenlernen.

Alle Kurse werden ständig überarbeitet.

**So sind diese immer auf dem neuesten Stand.**

Weitere Informationen finden Sie auf unserer Website unter

**Ausbildung**



## TRIAS SCHULUNGEN

### UVM MADE EASY FÜR FPGA DESIGNER

Heutige FPGA Designs haben sich zu SoC Designs hin entwickelt, so dass deren Komplexität einen Grad erreicht hat, der vor einigen Jahren noch für ASIC Designs charakteristisch war. Die Aufgabe, für die vollständige Verifikation eines solchen Systems, Testbenches zu schreiben, ist zu einer großen Herausforderung geworden. Unterschiedliche Verifikationsmethoden haben dies auf unterschiedliche Arten adressiert. Der umfassendste Ansatz ist die Universal Verification Methodology, UVM. Diese wurde nun auch zum Standard (IEEE 1800.2-2017). Sie stellt SystemVerilog Basisverifikationskomponenten zur Verfügung, mit denen eine Testbench-Infrastruktur erstellt werden kann, die sehr stark die Wiederverwendbarkeit unterstützt.

Wegen der Komplexität der UVM Bibliothek ist das Erstellen einer Testbench eine zeitaufwendige Aufgabe und erfordert umfassendes Wissen über die Möglichkeiten, die die Bibliothek bietet. Um die Verifikationsingenieure beim initialen Erstellen einer Testbench Infrastruktur zu unterstützen, wurde das UVM-Framework entwickelt. Mit diesem kann eine UVM Testbench sehr schnell erstellt werden und durch Änderungen an wenigen Stellen wird diese innerhalb weniger Stunden simulierbar.

Der Workshop UVM MADE EASY FÜR FPGA DESIGNER wird die wichtigsten UVM Bausteine vorstellen und damit die Grundlagen für das Funktionieren einer UVM Testbench, den Prozess der Bildung von Instanzen und die Kommunikation zwischen den UVM Komponenten und dem DUT, vermitteln. Darauf aufbauend werden die UVM Framework Verifikationsbausteine und das auf Python basierende API.

Die Teilnehmer werden in dem Übungsteil eine UVM Testbench mit dem UVM Framework für ein einfaches Beispiel-Design in mehreren Schritten erstellen. Am Ende des Workshops werden die Teilnehmer in der Lage sein, das UVM Framework API zu nutzen, um eine Testbench Infrastruktur für ihr eigenes FPGA Design zu generieren.

#### Kursziele

- ▶ *Verifikation - Ansätze und Methodiken*
- ▶ *UVM - Grundlagen und Prinzipien*
- ▶ *UVM Framework - Bibliothekskomponenten, Struktur und API*

Wir bieten Schulungen auch als Live Online Kurs an – schon ab einem Teilnehmer.

Weitere Informationen finden Sie auf unserer Website unter

[Ausbildung](#)



## TRIAS SCHULUNGEN

### ACCELERATING FPGA AND DIGITAL ASIC DESIGN

Die Umsetzung eines FPGA- oder ASIC Designs hängt nicht nur von der Kenntnis einer HDL Sprache ab. Neben der Kenntnis aller Sprachkonstrukte ist es aber auch wichtig, die Implementierung in geeigneter Weise zu strukturieren und Vor- und Nachteile unterschiedlicher Beschreibungen desselben Verhaltens zu kennen. Wenn man solche Vorgehensweisen konsequent nutzt, wird man viele Probleme, deren Ursachen zu finden und zu lösen viel Zeit kostet, vermeiden und somit schneller ans Ziel kommen.

Es wird gezeigt, wie die Entwicklung optimiert und beschleunigt wird und außerdem noch die Qualität des Designs verbessert werden kann.

Die Schulungsthemen des englischsprachigen Kurses sind:

- ▶ *Designarchitektur und -struktur*
- ▶ *Clock Domain Crossing (CDC)*
- ▶ *Codierung und generelles digitales Design*
- ▶ *Design for Reuse*
- ▶ *Erreichen der Timingvorgaben*
- ▶ *Qualitätssicherung*

### ACCELERATING FPGA VHDL VERIFICATION

Ein signifikanter Teil der Zeit für ein FPGA Projekt entfällt auf die Verifikation. Eine Reduzierung dieser Zeit wird die gesamte Projektentwicklungsdauer beschleunigen.

Der Schlüssel hierzu ist eine gut strukturierte Testbench.

Dieser Kurs konzentriert sich auf das Thema FPGA-Verifikation und vermittelt, wie eine Testbench in einer strukturierten Art und Weise aufgebaut wird. Theorie wechselt sich ab mit praktischen Beispielen und Hands-on Tutorials. Es wird auch eingegangen auf wichtige Themen wie Coverage, BFMs, Debugging und Randomisierung. Dies ist auch eine gute Gelegenheit, um die „Univeral VHDL Verification Methodology“ (UVVM) kennen zu lernen, die als Open Source frei zugänglich ist, durch die eine gut strukturierte Testbench einfach und schnell erstellt werden kann.

- ▶ *Englischsprachiger Kurs*
- ▶ *Kenntniss der Sprache VHDL ist Voraussetzung.*

Alle Kurse werden ständig überarbeitet.

**So sind diese immer auf dem neuesten Stand.**

Weitere Informationen finden Sie auf unserer Website unter

**Ausbildung**





# TRAINER

## TRAINER

### Hans-Jürgen Schwender

ist Dipl.-Ing. Elektrotechnik und hat von 1991 bis Ende 2001 bei Philips Kommunikationsindustrie AG bzw. Lucent Technologies in Nürnberg und bei Infineon Technologies in San Jose, CA, USA, als ASIC Design Ingenieur gearbeitet. Er beschäftigte sich mit dem Erstellen von Spezifikationen, der Implementierung in VHDL, der Verifikation auf Modul- und Chipebene als auch mit Programmierung von ASIC Driver Software in C.

Seit 2002 arbeitet er bei TRIAS Mikroelektronik GmbH in Krefeld als Technischer Leiter und deckt einen Großteil der Produkte von Mentor ab - mit Schwerpunkt HDL Design, Verifikation und Kabelbaumentwurfsprodukte.

**TRIAS**   
mikroelektronik GmbH



Moerser Landstraße 408  
D-47802 Krefeld



+49 [0] 2151.95 301-0



+49 [0] 2151.95 301-15



[info@trias-mikro.de](mailto:info@trias-mikro.de)



[www.trias-mikro.de](http://www.trias-mikro.de)

### KURSE

- ▶ SystemVerilog – "Advanced Verification" für FPGA Design
- ▶ VHDL 2008
- ▶ Verilog für VHDL Anwender
- ▶ UVM Made Easy für FPGA Designer





# TRAINER

## TRAINER

### Dr.-Ing. Jürgen Wolde

studierte Theoretische Elektrotechnik und erlangte 1984 den Abschluss als Dipl.-Ing. und 1989 auf dem Gebiet der elektromagnetischen Verträglichkeit den Abschluss zum Dr.-Ing.. 1989 erfolgte auch der Übergang in die Industrie, wo er bis 2005 bei Alcatel in der Nachrichtentechnik tätig war.

Seit 2006 ist Jürgen Wolde als Ingenieurbüro Wolde selbstständig tätig. Als langjähriger Partner der PLC2, TRIAS und anderer Firmen ist er als technischer Trainer weltweit unterwegs.

Jürgen Wolde ist Autor bzw. Co-Autor zahlreicher Präsentationen und wissenschaftlicher Veröffentlichungen sowie Mitinhaber einiger Patente.

**TRIAS**   
mikroelektronik GmbH



Moerser Landstraße 408  
D-47802 Krefeld



+49 [0] 2151.95 301-0



+49 [0] 2151.95 301-15



[info@trias-mikro.de](mailto:info@trias-mikro.de)



[www.trias-mikro.de](http://www.trias-mikro.de)

### KURSE

- ▶ **Signalintegrität für Hardware Entwickler**
- ▶ **Signalintegrität – High-Speed Speicherschnittstellen**







# TRAINER

## TRAINER


### Espen Tallaksen


ist Geschäftsführer und Gründer von BITVIS, dem führenden Designcenter für embedded Software und FPGA in Norwegen.


Während der letzten 20 Jahre hat sich Espen Tallaksen sehr stark mit Methodiken, Effizienz- und Qualitätsverbesserungen für FPGA- und ASIC Projekte beschäftigt. Das Ergebnis ist die UVVM Verifikationsplattform, die mittlerweile von Firmen in der ganzen Welt eingesetzt wird.

Er hielt viele Vorträge und Tutorials über unterschiedliche technische Aspekte der FPGA Entwicklung und -Verifikation, unter anderem auf dem FPGA Kongress in Deutschland.

**TRIAS**   
mikroelektronik GmbH

 Moerser Landstraße 408  
D-47802 Krefeld

 +49 [0] 2151.95 301-0

 +49 [0] 2151.95 301-15

 [info@trias-mikro.de](mailto:info@trias-mikro.de)

 [www.trias-mikro.de](http://www.trias-mikro.de)

### KURSE

- ▶ Accelerating FPGA and Digital ASIC Design
- ▶ Accelerating FPGA VHDL Verification






## KONTAKT

**TRIAS**   
mikroelektronik GmbH

 Moerser Landstraße 408  
D-47802 Krefeld

 +49 [0] 2151.95 301-0

 +49 [0] 2151.95 301-15

 [info@trias-mikro.de](mailto:info@trias-mikro.de)

 [www.trias-mikro.de](http://www.trias-mikro.de)



Neben den  
beschriebenen  
Kursen bieten wir  
auch Produkttraining  
für eine Reihe von  
Tools von

**Mentor**<sup>®</sup>  
A Siemens Business

Ausbildung