

SYSTEMVERILOG ADVANCED VERIFICATION FOR FPGA DESIGN

BESCHREIBUNG

FPGA Designs haben sich in Bezug auf Performance und Umfang stark weiterentwickelt. Die Verifikation dieser Art von Designs sind zu einer enormen Aufgabe herangewachsen, besonders im Zusammenhang mit der Validierung gegen den Testplan und die Spezifikation.

SystemVerilog stellt eine umfangreiche Menge von Werkzeugen zur Verfügung und ist eine natürliche Erweiterung von Verilog. Die Sprache kennt auch Konstrukte, die besser die Intension widerspiegeln, wie z.B. Aufzählungstypen, integrierte Assertions und Hochsprachenkonstrukte, die sowohl strukturelle Hierarchie als auch Object Oriented Programming (OOP) unterstützen und erlaubt auch, flexiblere und wiederverwendbare Testbenchkomponenten zu erstellen, auch im Kontext von VHDL Designs.

Der Workshop gibt Ihnen einen Überblick über die Sprache SystemVerilog und neue Methodiken wie Assertion-Based Verification, Constrained Randomization und Functional Coverage vorstellen. Sie werden lernen, wie diese Methodiken zur Verifikation eines VHDL Designs genutzt werden können, um die Verifikation zu beschleunigen und den aktuellen Stand bezogen auf das Ziel, den Nachweis der Verifikation aller Funktionen, zu erbringen.

KURZE AGENDA

- ▶ Motivation
- ▶ Introduction to SystemVerilog
- ▶ SystemVerilog Assertions
- ▶ Constrained Randomization
- ▶ Functional Coverage

ZIELGRUPPE

FPGA Design- und Verifikationsingenieure

VORAUSSETZUNGEN

Erfahrung mit VHDL oder Verilog für Design und Verifikation

DAUER

3 Tage

SPRACHEN

Deutsch oder Englisch

KURSZIELE

- ▶ Grundkenntnisse der SystemVerilog Sprache
- ▶ Verständnis des OOP-Konzept
- ▶ Testbench – Design und Konzept der automatisierten Testbench
- ▶ Einführung in SystemVerilog Assertions, Constrained Randomization und Functional Coverage

KOSTEN

€ 1.850,00 netto
pro Teilnehmer*

www.trias-mikro.de

**Inklusive englischsprachige Schulungsunterlagen, Mittagessen und Erfrischungen*



—○ TRAINER

Hans-Jürgen Schwender


ist Dipl.-Ing. Elektrotechnik und hat von 1991 bis Ende 2001 bei Philips Kommunikationsindustrie AG bzw. Lucent Technologies in Nürnberg und bei Infineon Technologies in San Jose, CA, USA als ASIC Design Ingenieur gearbeitet. Er beschäftigte sich mit dem Erstellen von Spezifikationen, der Implementierung in VHDL, der Verifikation auf Modul- und Chipebene als auch mit Programmierung von ASIC Driver Software in C.


Herr Schwender ist seit 2002 bei TRIAS mikroelektronik GmbH beschäftigt und deckt als technischer Leiter einen Großteil der Produkte von Mentor ab - mit Schwerpunkt HDL Design, Verifikation und Kabelbaumentwurfsprodukte.


WEITERE KURSE

- ▶ **UVM Made Easy für FPGA Designer**
- ▶ **VHDL 2008**
- ▶ **Verilog für VHDL Anwender**

TRIAS 
mikroelektronik GmbH

 Moerser Landstraße 408
D-47802 Krefeld

 +49 [0] 2151.95 301-0

 +49 [0] 2151.95 301-15

 info@trias-mikro.de

 www.trias-mikro.de

