



## Nr. 6 | 2018 - FPGA VHDL Verifikations Schulung

SOLUTIONS & PRODUCTS

EDUCATION CENTER

EVENTS & NEWS

### FPGA VHDL VERIFIKATIONS SCHULUNG - lernen Sie alles über UVVM

Sehr geehrte Damen und Herren,



Auf dem diesjährigen FPGA Kongress wird UVVM und somit das Thema FPGA Verifikation eher zweitrangig behandelt, daher sollten Sie die Gelegenheit nutzen und an diesem Kurs teilnehmen.

Unser Trainer Espen Tallaksen konzentriert sich auf das Thema FPGA-Verifikation und vermittelt, wie eine Testbench in einer strukturierten Art und Weise aufgebaut wird. Theorie wechselt sich ab mit praktischen Beispielen und Hands-on Tutorials. Es wird auch auf wichtige Themen wie Coverage, BFMs, Debugging und Randomisierung eingegangen. Dies ist die beste Gelegenheit, um die „**Universal VHDL Verification Methodology**“ (**UVVM**) kennen zu lernen, durch die eine gut strukturierte Testbench einfach und schnell erstellt werden kann.

Am Ende des Kurses werden Sie wissen, wie eine VHDL basierte FPGA-Verifikationsplattform strukturiert wird, wie eine Testbench implementiert wird und wie Sequenzer beschrieben werden. Sowohl Software- als auch Hardwareentwickler werden dies nachvollziehen können. Sie werden außerdem die komplette UVVM Methodik, die auf VHDL basiert, kennen gelernt haben und können dann mit diesem Wissen diese Methodik in Ihrer Organisation einsetzen.

Der Kurs richtet sich an alle, die Ihre Testbenchmethodik neu überdenken möchten, weil ihr derzeitiger Ansatz an seine Grenzen stößt, oder grundsätzlich auf der Suche sind nach einer VHDL Testbench Bibliothek, mit der aus einzelnen Bausteinen eine komplette, wohlstrukturierte Testbench zusammengebaut werden kann.

Der englischsprachige Kurs läuft über 3 Tage, Kenntniss der Sprache VHDL ist Voraussetzung.

#### Über den Trainer



Espen Tallaksen ist CTO und Gründer von BITVIS, dem führenden Designcenter für embedded Software und FPGA in Norwegen. Er graduierte an der Universität von Glasgow (Schottland) und hat mittlerweile 30 Jahre Erfahrung in FPGA- und ASIC Entwicklung / Verifikation u.a. bei Philips



Semiconductors in der Schweiz.

Während der letzten 20 Jahre hat sich Espen Tallaksen sehr stark mit Methodiken, Effizienz- und Qualitätsverbesserungen für FPGA- und ASIC Projekte beschäftigt. Das Ergebnis ist die UVVM Verifikationsplattform, die mittlerweile von Firmen in der ganzen Welt eingesetzt wird.

Er hielt viele Vorträge und Tutorials über unterschiedliche technische Aspekte der FPGA Entwicklung und -Verifikation, unter anderem Keynote bei der FPGAworld, Keynote Speaker bei ABB Embedded Systems Forum, sowie Vorträge und Tutorials auf der FPGAworld und auf dem FPGA Kongress in Deutschland.

▶ **Accelerating FPGA VHDL Verification**  
**19. - 21. Juni 2018 in München**

[Info und Anmeldung](#)




Neben den von uns angebotenen offenen Workshop Terminen bieten wir auch auf Anfrage In-Haus Schulungen zu diesen Themen an.

Bitte sprechen Sie uns gerne an unter +49 (0)2151/95301-0 oder per Email unter [education@trias-mikro.de](mailto:education@trias-mikro.de).

Beste Grüße  
Ihr TRIAS Education Center

**Ihr Kontakt zu uns:**

+49( 0)2151/95301-0  
[education@trias-mikro.de](mailto:education@trias-mikro.de)

Folgen Sie uns:    


**Sie sind nicht der richtige Ansprechpartner für unsere E-Mail?**

[Empfehlen Sie diese E-Mail mit einem persönlichen Gruß an Kollegen oder Bekannte weiter >>](#)

TRIAS Mikroelektronik GmbH, Moerser Landstr. 408, 47802 Krefeld, Germany  
Geschäftsführer: Klaus Steinheuer, Handelsregister beim Amtsgericht Krefeld  
Handelsregister-Nummer: HRB 6059, USt-IdNr. DE 184 031 169, Steuer Nr. 117/5839/0422

Kontakt: Telefon: +49 (0)2151/95301-0 | E-Mail: [info@trias-mikro.de](mailto:info@trias-mikro.de) | Webseite: [www.trias-mikro.de](http://www.trias-mikro.de)

Wenn Sie keine weiteren Informationen per E-Mail erhalten möchten, können Sie sich [hier abmelden](#).