

# ACCELERATING FPGA AND DIGITAL ASIC DESIGN

## BESCHREIBUNG

Die Umsetzung eines FPGA- oder ASIC Designs hängt nicht nur von der Kenntnis einer HDL Sprache ab. Neben der Kenntnis aller Sprachkonstrukte ist es aber auch wichtig, die Implementierung in geeigneter Weise zu strukturieren und Vor- und Nachteile unterschiedlicher Beschreibungen desselben Verhaltens zu kennen. Wenn man solche Vorgehensweisen konsequent nutzt, wird man viele Probleme, deren Ursachen zu finden und zu lösen viel Zeit kostet, vermeiden und somit schneller ans Ziel kommen.

Es wird gezeigt, wie die Entwicklung optimiert und beschleunigt wird und außerdem noch die Qualität des Designs verbessert werden kann.

Es werden einige Beispiele von häufig vorkommenden, schlechten Ansätzen und noch mehr Beispiele von guten Ansätzen in Bezug auf die Architektur, Clock Domain Crossing (CDC), Art der Codierung, Wiederverwertbarkeit, usw., gezeigt. Die meisten Beispiele sind sowohl technologie- (FPGA/ASIC) als auch sprachunabhängig (VHDL/Verilog/SystemVerilog).

Der Kurs richtet sich an FPGA- und Digital-ASIC Designer, die smarter und effizienter arbeiten und ihre Produkte mit höherer Qualität entwickeln möchten.

## AGENDA

- ▶ Schritt für Schritt einfache VHDL-Testbenches erstellen
- ▶ Verfahren anwenden und gute BFM's entwerfen
- ▶ Anwenden von Protokollen, Warnungen, Wert- und Stabilitätsprüfungen, u.a.m.
- ▶ Fortgeschrittene VHDL-Testbenches erstellen
- ▶ Assertions, Randomisierung, Constrained Random, Coverage, Debugger, Monitore
- ▶ Verifikationskomponenten und Testbench-Architektur für eine erweiterte Verifikation
- ▶ Testbenches so einfach wie möglich zu machen
- ▶ Anpassung an die Komplexität des DUT
- ▶ Strukturierung, Debugging, Überblick, Wartbarkeit, Erweiterbarkeit
- ▶ Beispiele und Übungen gemäß Universal VHDL Verification Methodology (UVVM)

## ZIELGRUPPE

FPGA- und Digital-ASIC Designer

## VORAUSSETZUNGEN

Kenntnisse in FPGA Design oder Digital ASIC Design

## DAUER

2 Tage

## SPRACHE

Englisch

## KURSZIELE

- ▶ Designarchitektur und -struktur
- ▶ Clock Domain Crossing (CDC)
- ▶ Codierung und generelles digitales Design
- ▶ Design for Reuse
- ▶ Erreichen der Timingvorgaben
- ▶ Qualitätssicherung

## KOSTEN

€ 1.450,00 pro Teilnehmer\*

[www.trias-mikro.com](http://www.trias-mikro.com)

*\*Inklusive englischsprachige Schulungsunterlagen, Mittagessen und Erfrischungen*



## TRAINER

### Espen Tallaksen

ist der CEO und Gründer von EmLogic, dem neugegründeten unabhängigen Designcenter für Embedded Software. Emlogic wird sicher, wie zuvor auch das von ihm gegründete Bitvis, ein führendes nordisches Unternehmen in seinem Bereich sein. Er absolvierte 1987 die Universität von Glasgow (Schottland) und verfügt über 30 Jahre Erfahrung in der FPGA- und ASIC-Entwicklung bei Philips Semiconductors in der Schweiz und verschiedenen Unternehmen in Norwegen. Seit zwanzig Jahren hat Espen ein besonderes Interesse an der Entwicklung von Methoden und der pragmatischen Effizienz- und Qualitätsverbesserung.

Ein Ergebnis dieses Interesses ist die UVVM-Verifizierungsplattform, die weltweit die Nummer 1 unter den VHDL-Verifizierungsmethoden und -Bibliotheken, und unabhängig von HDL, die am schnellsten wachsende FPGA-Verifizierungsmethode ist.

Er gibt weltweit Kurse zum effizienteren und qualitativ besseren Entwerfen und Überprüfen von FPGAs.

..

### WEITERE KURSE

▶ **Accelerating FPGA VHDL Verification**

**TRIAS**   
mikroelektronik GmbH



Moerser Landstraße 408  
D-47802 Krefeld



+49 [0] 2151.95 301-0



+49 [0] 2151.95 301-15



[info@trias-mikro.com](mailto:info@trias-mikro.com)



[www.trias-mikro.com](http://www.trias-mikro.com)

