

SIGNALINTEGRITÄT IM LEITERPLATTENDESIGN

BESCHREIBUNG

Dieser Workshop richtet sich an Entwickler, die High-Speed Schnittstellen zwischen Halbleiterkomponenten und die komplexe Hochgeschwindigkeitsschaltungen auf Board-Ebene entwickeln wollen. Das Training ist für Entwickler geeignet, die nicht nur Schaltpläne entwerfen, sondern auch Systeme und das Layout.

Sie werden zu beurteilen lernen, wann die Signalintegrität wichtig und relevant wird, um z.B. die entsprechenden Abschlussverfahren („termination procedure“) auszuwählen. Signalreflexionen und Übersprecheffekte werden beschrieben und durch Simulation nachgewiesen. Simulationsbeispiele werden außerdem für die gängigen Speicherschnittstellen demonstriert. Sie werden auch lernen, wie High-Speed Bussysteme, einschließlich „Clock Design“, Last und Signalabschluss realisiert werden.

Darüber hinaus sind die Energieverteilung und Kurzschlüsse im Design wichtige Themen.

AGENDA (2 Tage Training)

- ▶ Einführung in die Signalintegrität (SI)
- ▶ IC zu IC Timing
- ▶ IBIS-Modelle für die SI-Simulation
- ▶ Übertragungsleitungen
- ▶ Reflexionen
- ▶ Übersprechen
- ▶ SI Analyse auf Systemebene
- ▶ Power Integrität (PI)
- ▶ Board Layout Richtlinien
- ▶ SI Messverfahren

Als optionales Trainingsmodul (3 Tage Training) bieten wir die Themen Signalintegritätsprobleme und Lösungen für High-Speed Speicherschnittstellen und serielle Transceiver Links an.

ZIELGRUPPE

Hardware Designer und CAD Ingenieure, die Signalintegritätsprobleme auf Leiterplatten vermeiden möchten

VORAUSSETZUNGEN

Grundkenntnisse in Hardware Design

DAUER

2 Tage optional 3 Tage

SPRACHEN

Deutsch oder Englisch

KURSZIELE

- ▶ Grundlagen der IBIS-Simulation
- ▶ Timing-Beziehungen in der Schaltung
- ▶ Reflektions- und Crosstalk-Effekte auf Leiterplatten
- ▶ Beseitigung von Reflektions- und Crosstalk-Effekten

KOSTEN

2 Tage € 1.400,00 netto oder
3 Tage € 1.995,00 netto
pro Teilnehmer*

www.trias-mikro.com

**Inklusive englischsprachige Schulungsunterlagen, Mittagessen und Erfrischungen*




TRAINER


Dr.-Ing. Jürgen Wolde


studierte Theoretische Elektrotechnik und erlangte 1984 den Abschluss als Dipl.-Ing. und 1989 auf dem Gebiet der elektromagnetischen Verträglichkeit den Abschluss zum Dr.-Ing.. 1989 erfolgte auch der Übergang in die Industrie, wo er bis 2005 bei Alcatel in der Nachrichtentechnik tätig war.

Seit 2006 ist Jürgen Wolde als Ingenieurbüro Wolde selbstständig tätig. Als langjähriger Partner von PLC2, TRIAS und anderer Firmen ist er als technischer Trainer weltweit unterwegs. Jürgen Wolde ist Autor bzw. Co-Autor zahlreicher Präsentationen und wissenschaftlicher Veröffentlichungen sowie Mitinhaber einiger Patente.

TRIAS 
mikroelektronik GmbH

 Moerser Landstraße 408
D-47802 Krefeld

 +49 [0] 2151.95 301-0

 +49 [0] 2151.95 301-15

 info@trias-mikro.com

 www.trias-mikro.com

WEITERE KURSE

► **Design und Verifikation von DDR Interfaces auf Leiterplatten**

