

VERILOG FÜR VHDL ANWENDER

BESCHREIBUNG

Da Designs immer komplexer und Entwicklungszeiten immer kleiner werden, müssen Entwicklungsteams immer öfters auf die Nutzung von IP Cores zurückgreifen.

Dies bedeutet, dass Ingenieure im Umgang mit HDL-Sprachen "sprachneutral" werden müssen. Sie benötigen ein solides Wissen über VHDL und Verilog und die damit verbundenen Designtechniken. Dieser Workshop, mit einer schnellen und effektiven Methode, ist für erfahrene VHDL Anwender geeignet.

Er macht die Unterschiede, wie aber auch die Ähnlichkeiten zwischen VHDL und Verilog verständlich, und meistert Verilog-spezifische Themen, die sonst zu schwer erkennbaren Problemen führen könnten.

AGENDA

- ▶ Überblick
- ▶ Geschichte
- ▶ RTL
 - ▶ Interface & Hierarchy
 - ▶ Signals
 - ▶ Operators
 - ▶ Parameters
 - ▶ Tasks and Functions
 - ▶ Mixed Language design
 - ▶ etc.
- ▶ Testbench
 - ▶ Procedural continuous assignment
 - ▶ System Tasks
 - ▶ etc.
- ▶ Fortschritte
 - ▶ Compiler directives: `uselib, `reset_all
 - ▶ Verilog libraries
 - ▶ Gate-level simulation

ZIELGRUPPE

VHDL erfahrene Ingenieure, die ihre Designfähigkeiten maximieren möchten und die Erstellung von erweiterten Verifikationsumgebungen ermöglichen müssen

VORAUSSETZUNGEN

Digitale Hardware Design Grundkenntnisse und gute VHDL Kenntnisse. Keine Grundkenntnisse in Verilog erforderlich

DAUER

2 Tage

SPRACHEN

Deutsch oder Englisch

KURSZIELE

- ▶ Kenntnisse der Verilog Konzepte und Unterschiede zu VHDL
- ▶ Anwendung von Verilog-spezifischen Techniken für das RTL Design
- ▶ Vermeidung von Verilog Fallstricken

KOSTEN

€ 1.400,00 netto
pro Teilnehmer*

www.trias-mikro.de

**Inklusive englischsprachige Schulungsunterlagen, Mittagessen und Erfrischungen*




TRAINER

Hans-Jürgen Schwender


ist Dipl.-Ing. der Elektrotechnik und hat von 1991 bis Ende 2001 bei Philips Kommunikationsindustrie AG bzw. Lucent Technologies in Nürnberg und bei Infineon Technologies in San Jose, CA, USA, als ASIC Design Ingenieur gearbeitet. Er beschäftigte sich mit dem Erstellen von Spezifikationen, der Implementierung in VHDL, der Verifikation auf Modul- und Chipebene, als auch mit Programmierung von ASIC Driver Software in C.

Herr Schwender ist seit 2002 bei TRIAS mikroelektronik GmbH beschäftigt und deckt als technischer Leiter einen Großteil der Produkte von Mentor ab - mit Schwerpunkt HDL Design, Verifikation und Kabelbaumentwurfsprodukte.

TRIAS 
mikroelektronik GmbH

 Moerser Landstraße 408
D-47802 Krefeld

 +49 [0] 2151.95 301-0

 +49 [0] 2151.95 301-15

 info@trias-mikro.de

 www.trias-mikro.de

WEITERE KURSE

- ▶ **SystemVerilog – “Advanced Verification” für FPGA Design**
- ▶ **VHDL 2008**
- ▶ **UVM Made Easy für FPGA Designer**

