

TRAINING CENTER

TRIAS TRAINING CENTER

Ausgabe: 05 | 2024





TRIAS 
a vargroup company

ÜBER UNS

Als TRIAS mikroelektronik GmbH haben wir seit 1989 Erfahrungen gesammelt, um innovative Produktlösungen für die Entwurfsautomatisierung (EDA) in den Bereichen FPGA- und IC Design | Verifikation, wie auch für ECAD in Form einer modelbasierten E/E Systementwicklungsplattform für die Entwicklung, Fertigung und Service von Kabelbäumen und Bordnetzen anzubieten.

Als Cadlog und Teil der Vargroup - dem europäischen Marktführer für den Vertrieb von hochwertigen IT-Lösungen - und der damit verbundenen Erweiterung der Produktpalette wie PCB-Design und Cybersecurity arbeiten wir an dem gemeinsamen Ziel - der Digitalisierung in der Elektronik.

Unsere Mission ist es, Sie mit unserer breiten Expertise und Erfahrung bei Ihrer Digitalisierung in der Produktentwicklung von der Produktidee bis zur Auslieferung des Produktes zu begleiten, damit Sie das volle Potenzial dieser Technologien ausschöpfen können.

WIR UNTERSTÜTZEN SIE IN IHRER DIGITALEN TRANSFORMATION.

HINWEIS

Klicken Sie auf den nachfolgenden Seiten für mehr Informationen auf den Punkt  in der Überschrift.



TRIAS TRAINING CENTER

TRIAS SCHULUNGEN

Weiterbildung ist ein wichtiges Thema und so bilden wir unsere Kunden in innovativen Design- und Verifikationsprozessen aus, wie auch im Umgang mit unseren EDA- und ECAD Lösungen. Unser Training Center bildet unsere Kunden zu den Themen FPGA Design und –Verifikation, Hochsprachen (HDL) und Signalintegrität an und bietet auch Tool-Trainings. Somit leisten wir einen wichtigen Beitrag für die Digitalisierung in der Produktentwicklung.

- ▶ SystemVerilog – “Advanced Verification” für FPGA Design
- ▶ VHDL 2008
- ▶ Verilog für VHDL Anwender
- ▶ UVM Testbench leicht gemacht

- ▶ Accelerating FPGA and Digital ASIC Design
- ▶ Accelerating FPGA VHDL Verification and introducing UVVM

- ▶ Signalintegrität im Leiterplattendesign
- ▶ Design und Verifikation von DDR Interfaces auf Leiterplatten

- ▶ Trainings für Tools von Siemens EDA – früher Mentor Graphics und Siemens Digital Industries Software



TRIAS SCHULUNGEN

SYSTEMVERILOG – "ADVANCED VERIFICATION" FÜR FPGA DESIGN ●

Dieser Workshop gibt einen Überblick über die SystemVerilog Sprache und führt in neue Verifikationsmethoden "Assertion Based Verification", "Constrained-Random-Generation" und "Functions Coverage" ein. Die Teilnehmer werden lernen, wie diese mächtigen Verifikationsmethoden zur Beschleunigung der Verifikation dienen, sowie den Fortschritt der Verifikation erfassen und wie diese Methoden natürlich auch auf die Verifikation von VHDL Designs angewendet werden können.

VHDL 2008 ●

Der Workshop VHDL 2008 vermittelt einen Überblick über die Änderungen und Neuerungen in der Sprache, die in dem Standard IEEE 1076-2008 definiert wurden.

Der Kurs gliedert sich in drei Hauptteile: Neuerungen und Änderungen im Bereich der synthetisierbaren Sprachkonstrukte, Neuerungen für die Verifikation, die von PSL (IEEE 1850) übernommen wurden und im letzten Teil geht es um die Möglichkeit, die „Constrained Randomization“ Methodik, die von der Sprache direkt nicht unterstützt wird, mit Hilfe der OSVVM Bibliothek einsetzen zu können.

VERILOG FÜR VHDL ANWENDER ●

Da Designs immer komplexer und Entwicklungszeiten immer kleiner werden, müssen Entwicklungsteams immer öfters auf die Nutzung von IP Cores zurückgreifen. Dies bedeutet, dass Ingenieure im Umgang mit HDL-Sprachen "sprachneutral" werden müssen. Sie benötigen ein solides Wissen über VHDL und Verilog und die damit verbundenen Designtechniken.

Dieser Workshop, mit einer schnellen und effektiven Methode, ist für erfahrene VHDL Anwender geeignet. Er macht die Unterschiede, wie aber auch die Ähnlichkeiten zwischen VHDL und Verilog verständlich, und meistert Verilog-spezifische Themen, die sonst zu schwer erkennbaren Problemen führen könnten.

Wir bieten öffentliche, Live|Online sowie Vor-Ort Schulungen an.

Detaillierte Informationen finden Sie auf unserer Website unter

Ausbildung

So sind diese immer auf dem neuesten Stand.



TRIAS SCHULUNGEN

UVM TESTBENCH LEICHT GEMACHT ●

Aufgrund der Komplexität der UVM Bibliothek ist das Erstellen einer Testbench eine zeitaufwendige Aufgabe und erfordert umfassendes Wissen über die Möglichkeiten, die die Bibliothek bietet. Um die Verifikationsingenieure beim initialen Erstellen einer Testbench Infrastruktur zu unterstützen, wurde das UVM-Framework entwickelt, mit dem eine UVM Testbench sehr schnell erstellt werden kann. Diese ist sofort simulierbar und wird durch Änderungen an einigen Stellen durch anwendungsspezifischen Code an den Usecase angepasst.

Der Workshop UVM TESTBENCH LEICHT GEMACHT wendet sich nach einer kurzen Vorstellung einiger UVM Klassen und Ausdrücke recht schnell den Details des UVM Frameworks zu.

Der Kurs richtet sich an Verifikationsingenieure ohne UVM Vorwissen, die in die Nutzung von UVM Testbenches einsteigen wollen.

Ziel des Kurses ist es, eine vollständige UVM Testbench unter Verwendung des Siemens EDA UVM Frameworks (UVMF) zu erstellen, die dann an wenigen Stellen noch mit anwendungsspezifischem Code ergänzt wird.

Wir bieten Schulungen auch als Live|Online Kurs an – schon ab einem Teilnehmer.

Detaillierte Informationen finden Sie auf unserer Website unter

Ausbildung

So sind diese immer auf dem neuesten Stand.

ACCELERATING FPGA AND DIGITAL ASIC DESIGN ●

Die Umsetzung eines FPGA- oder ASIC Designs hängt nicht nur von der Kenntnis einer HDL Sprache ab. Neben der Kenntnis aller Sprachkonstrukte ist es aber auch wichtig, die Implementierung in geeigneter Weise zu strukturieren und Vor- und Nachteile unterschiedlicher Beschreibungen desselben Verhaltens zu kennen. Wenn man solche Vorgehensweisen konsequent nutzt, wird man viele Probleme, deren Ursachen zu finden und zu lösen viel Zeit kostet, vermeiden und somit schneller ans Ziel kommen. Es wird gezeigt, wie die Entwicklung optimiert und beschleunigt wird und außerdem noch die Qualität des Designs verbessert werden kann.

▶ *Englischsprachiger Kurs*



TRIAS SCHULUNGEN

ACCELERATING FPGA VHDL VERIFICATION AND INTRODUCING UVVM ●

Dieser Kurs enthält eine allgemeine Einführung in die moderne Verifikationsmethode UVVM (Universal VHDL Verification Methodology) - die Nr. 1 der weltweit führenden VHDL-FPGA-Verifikationsmethoden, die unabhängig von HDL, den schnellsten Wachstum zeigt.

Dieser Kurs konzentriert sich auf das Thema FPGA-Verifikation und vermittelt, wie eine Testbench in einer strukturierten Art und Weise aufgebaut wird. Theorie wechselt sich mit praktischen Beispielen und Hands-on Tutorials ab. Es wird auch auf wichtige Themen eingegangen, wie Coverage, BFM, Debugging und Randomisierung.

- ▶ *Englischsprachiger Kurs*
- ▶ *Kenntnis der Sprache VHDL ist Voraussetzung.*

SIGNALINTEGRITÄT IM LEITERPLATTENDESIGN ●

Dieser Workshop richtet sich an Entwickler, die High-Speed Schnittstellen zwischen Halbleiterkomponenten und komplexe Hochgeschwindigkeitsschaltungen auf Board-Ebene entwickeln wollen. Das Training ist für Entwickler geeignet, die nicht nur Schaltpläne entwerfen, sondern auch Layout und Systeme. Sie werden lernen zu beurteilen wann die Signalintegrität wichtig und relevant wird, um z.B. die entsprechenden Abschlussverfahren („termination procedure“) auszuwählen. Signalreflexion und Übersprecheffekte werden beschrieben und durch Simulation nachgewiesen. Simulationsbeispiele werden außerdem für die gängigen Speicherschnittstellen demonstriert. Sie werden auch lernen wie High-Speed Bussysteme, einschließlich „Clock Design“, Last und Signalabschluss realisiert werden. Darüber hinaus sind die Energieverteilung und Kurzschlüsse im Design wichtige Themen.

- ▶ *Als optionales Trainingsmodul bieten wir die Themen Signalintegritätsprobleme und Lösungen für High-Speed Speicherschnittstellen und serielle Transceiver Links an.*

Alle Kurse werden ständig überarbeitet.

Detaillierte Informationen finden Sie auf unserer Website unter

Ausbildung

So sind diese immer auf dem neuesten Stand.



TRIAS SCHULUNGEN

DESIGN UND VERIFIKATION VON DDR INTERFACES AUF LEITERPLATTEN

Dieser Workshop ist für Entwickler, die High-Speed Speicherschnittstellen auf kundenspezifischen Boards implementieren wollen. Speicherschnittstellen werden sehr oft verwendet, sie werden schneller und schneller - und die Entwurfsprobleme werden mehr und mehr zu einer Herausforderung. Das Training ist für Entwickler geeignet, die nicht nur Schaltpläne entwerfen, sondern auch Systeme und Layout. Sie werden die entsprechenden Besonderheiten der Speicherbausteine für logische und physische Designs kennenlernen, Zeit- und Spannungstoleranzen werden diskutiert. Sie werden lernen wie die Signalintegrität Simulation anzuwenden ist, um die High-Speed Speicherschnittstellen zu optimieren. IBIS Modelle und Simulation werden die Effekte und möglichen Problemzonen aufdecken. Der Workshop beinhaltet wie High-Speed Speicherschnittstellen implementiert werden, einschließlich Themen auf Board Ebene. Darüber hinaus werden die Stromversorgungsprobleme diskutiert und schließlich werden Optionen zur Verifikation auf Board Ebene vorgestellt.

Alle Kurse werden ständig überarbeitet.

Detaillierte Informationen finden Sie auf unserer Website unter

[Ausbildung](#)

So sind diese immer auf dem neuesten Stand.



TRIAS SCHULUNGEN

TOOL TRAININGS FÜR TOOLS VON SIEMENS EDA – FRÜHER MENTOR GRAPHICS UND SIEMENS DIGITAL INDUSTRIES SOFTWARE

Wir freuen uns eine Reihe von Tool Trainings anzubieten, die auch individuell auf Ihre Bedürfnisse zugeschnitten werden können:

MODELSIM/QUESTA CORE: HDL SIMULATION ●

ModelSim/Questa Core: HDL-Simulation zeigt Anwendern, die ModelSim oder Questa SIM zum ersten Mal für HDL-Simulation verwenden, wie sie ModelSim/Questa Core effektiv zur Verifikation von VHDL-, Verilog-, SystemVerilog- und gemischten HDL-Designs einsetzen können.

MODELSIM/ QUESTA CORE: ADVANCED TOPICS ●

ModelSim/Questa Core: Advanced Topics vermittelt Ihnen, wie Sie die umfangreichen Möglichkeiten von ModelSim/Questa Core nutzen können, um digitale HDL-Designs effektiv und effizient zu analysieren und zu debuggen.

CAPITAL HARNESS XC ●

Der Kurs Capital Harness XC führt die Anwender in die grundlegenden und komplexeren Funktionen des Capital Harness XC Produkts ein. Dieses Tool bietet einen nahtlosen Übergang von Daten aus Capital Logic oder Capital Integrator in Capital Harness XC. Capital Harness XC demonstriert, wie man mechanische Daten aus MCAD-Tools von Drittanbietern in Capital Harness XC übernimmt. Der Kurs behandelt auch, wie man individuelle Designobjekte (z.B. Drähte, Multicores, Clips, Steckverbinder, etc.) innerhalb der Kabelbaumdiagramme erstellt und verwaltet.

Dies ist nur ein kleiner Auszug aus der Liste der verfügbaren Tool-Trainings wir informieren und beraten Sie gerne über unser gesamtes Angebot

Alle Kurse werden ständig überarbeitet.

Detaillierte Informationen finden Sie auf unserer Website unter

[Ausbildung](#)

So sind diese immer auf dem neuesten Stand.



TRIAS SCHULUNGEN

CAPITAL WIRING DESIGNER ESSENTIALS ●

Dieser Kurs führt Sie in die Capital Essentials | ehemalige VeSys Suite ein und hilft Ihnen, die Funktionalität von Capital Wiring Designer Essentials zu verstehen. Wir werden die Schritte zur Erstellung, Bearbeitung und Verdrahtung eines Schaltplanentwurfs mit diesem Tool erläutern.

CAPITAL HARNESS DESIGNER ESSENTIALS ●

Dieser Kurs unterstützt Konstrukteure und Ingenieure, die an der Entwicklung und Herstellung von Kabelbäumen arbeiten. Die Teilnehmer erhalten eine Einführung in die Capital Essentials | früher VeSys Umgebung und die Funktionen von Capital Harness Designer Essentials.

CAPITAL LOGIC AERO ●

In diesem Kurs lernen Sie, Projekte zu erstellen, Entwurfs- und Diagrammstrukturen zu erstellen und zu pflegen, gemeinsam genutzte Objekte zu erstellen, Objektbenennungspräferenzen festzulegen, Optionsdefinitionen festzulegen, Revisionen und Baulisten zu erstellen, Funktionsdiagramme zu erstellen, gemeinsam genutzte Objekte in und zwischen Diagrammen zu handhaben, Leiterbahnen zu platzieren, Optionen und Bibliotheksteile zuzuweisen, Entwürfe zu vergleichen, Bibliothekskomponenten zu erstellen, Berichte über erstellte Entwürfe zu erstellen.

Dies ist nur ein kleiner Auszug aus der Liste der verfügbaren Tool-Trainings wir informieren und beraten Sie gerne über unser gesamtes Angebot

Alle Kurse werden ständig überarbeitet.

Detaillierte Informationen finden Sie auf unserer Website unter

[Ausbildung](#)

So sind diese immer auf dem neuesten Stand.



TRIAS SCHULUNGEN

CAPITAL LOGIC DESIGNER AERO ●

In diesem Kurs lernen Sie die grundlegenden und komplexeren Funktionen des Capital Logic Designer-Produkts für Aero-Kunden kennen. Sie werden erlernen, Projekte zu erstellen, Design- und Diagrammstrukturen zu erstellen und zu pflegen, gemeinsam genutzte Objekte zu erstellen, Objektbenennungspräferenzen festzulegen, Optionsdefinitionen festzulegen, Revisionen und Baulisten zu erstellen, Funktionsdiagramme zu erstellen, gemeinsam genutzte Objekte in und zwischen Diagrammen zu behandeln, Leiterbahnen zu platzieren, Optionen und Bibliotheksteile zuzuweisen, Designs zu vergleichen, Bibliothekskomponenten zu erstellen und Berichte über erstellte Designs zu erstellen.

CAPITAL LOGIC DESIGNER GENERATIVE ●

In diesem Kurs erfahren Sie, wie Capital Logic Designer in den generativen Entwurfsablauf des Verdrahtungsprozesses in Ihrem Unternehmen passt. Konstrukteure und Ingenieure lernen, Projekte zu erstellen, Konstruktions- und Diagrammstrukturen zu erstellen und zu pflegen, gemeinsam genutzte Objekte zu erstellen, Objektbenennungspräferenzen festzulegen, Optionsdefinitionen festzulegen, Revisionen und Baulisten zu erstellen, Funktionsdiagramme zu erstellen, gemeinsam genutzte Objekte in und zwischen Diagrammen zu handhaben, Leiterbahnen zu platzieren, Optionen und Bibliotheksteile zuzuweisen, Konstruktionen zu vergleichen, Bibliothekskomponenten zu erstellen und Berichte über erstellte Konstruktionen zu erstellen.

CAPITAL LOGIC DESIGNER INTERACTIVE ●

Im Kurs Capital Logic Designer Interactive lernen die Teilnehmer, Schaltpläne "correct by construction" zu erstellen. Die Teilnehmer lernen, Projekte zu erstellen, Design- und Diagrammstrukturen zu erstellen und zu pflegen, Shared Objects zu erstellen, Objektbenennungspräferenzen einzustellen, Optionsdefinitionen festzulegen, Revisionen und BuildLists zu erstellen, Wire Diagrams zu erstellen, Shared Objects in und zwischen Diagrammen zu handhaben, Conductors zu platzieren, Optionen und Library Parts zuzuweisen, Designs zu vergleichen und Berichte über erstellte Designs zu erstellen.

Dies ist nur ein kleiner Auszug aus der Liste der verfügbaren Tool-Trainings wir informieren und beraten Sie gerne über unser gesamtes Angebot

Alle Kurse werden ständig überarbeitet.

Detaillierte Informationen finden Sie auf unserer Website unter

[Ausbildung](#)

So sind diese immer auf dem neuesten Stand.



TRAINER

TRAINER

Alexandru Vlad Velea

has a Electronics, Telecommunications and Information Technology University degree followed by MBA postgraduate degree.

From 2005 on he has been covering mostly the following Siemens products:

- HDL design, simulation and synthesis
- Wiring and harness design

He has a bright knowledge as consultant/ advisor/ technical support/ tools trainer. He is Wiring Harness consultant/ advisor for the Mentor Graphics / Siemens tools since 2011 and Digital IC flow (design/ simulation/ synthesis) consultant/ advisor for the Mentor Graphics/ Siemens tools starting 2005.

TRIAS is an Expert Partner of Siemens Digital Industries Software. Siemens Digital Industries Software awards the status "Expert" to sales partners who have in-depth expert knowledge in a product area or industry and have proven this repeatedly in reference projects.

Alexandru Vlad Velea is certified by Siemens for the products Capital | Capital Essentials (formerly VeSys®) for the automotive and aerospace (Aero) markets and continuously undergoes a mandatory certification program to verify and expand his competencies.

KURSE

- ▶ **SystemVerilog – “Advanced Verification” für FPGA Design**
- ▶ **VHDL 2008**
- ▶ **Verilog für VHDL Anwender**
- ▶ **UVM Testbench leicht gemacht**
- ▶ **Tool trainings für Tools von Siemens EDA**
- ▶ **Trainings für Capital™ und Capital™ Essentials**





TRAINER

TRAINER

Dr.-Ing. Jürgen Wolde

studierte Theoretische Elektrotechnik und erlangte 1984 den Abschluss als Dipl.-Ing. und 1989 auf dem Gebiet der elektromagnetischen Verträglichkeit den Abschluss zum Dr.-Ing.. 1989 erfolgte auch der Übergang in die Industrie, wo er bis 2005 bei Alcatel in der Nachrichtentechnik tätig war.

Seit 2006 ist Jürgen Wolde als Ingenieurbüro Wolde selbst-ständig tätig. Als langjähriger Partner der PLC2, TRIAS und anderer Firmen ist er als technischer Trainer weltweit unterwegs.

Jürgen Wolde ist Autor bzw. Co-Autor zahlreicher Präsentationen und wissenschaftlicher Veröffentlichungen sowie Mitinhaber einiger Patente.

KURSE

- ▶ **Signalintegrität im Leiterplattendesign**
- ▶ **Design und Verifikation von DDR Interfaces auf Leiterplatten**





TRAINER

TRAINER

Espen Tallaksen

ist der CEO und Gründer von EmLogic, dem neugegründeten unabhängigen Designcenter für Embedded Software. Emlogic wird sicher, wie zuvor auch das von ihm gegründete Bitvis, ein führendes nordisches Unternehmen in seinem Bereich sein. Er absolvierte 1987 die Universität von Glasgow (Schottland) und verfügt über 30 Jahre Erfahrung in der FPGA- und ASIC-Entwicklung bei Philips Semiconductors in der Schweiz und verschiedenen Unternehmen in Norwegen. Seit zwanzig Jahren hat Espen ein besonderes Interesse an der Entwicklung von Methoden und der pragmatischen Effizienz- und Qualitätsverbesserung.

Ein Ergebnis dieses Interesses ist die UVVM-Verifizierungsplattform, die weltweit die Nummer 1 unter den VHDL-Verifizierungsmethoden und -Bibliotheken, und unabhängig von HDL, die am schnellsten wachsende FPGA-Verifizierungsmethode ist.

Er gibt weltweit Kurse zum effizienteren und qualitativ besseren Entwerfen und Überprüfen von FPGAs.

KURSE

- ▶ **Accelerating FPGA and Digital ASIC Design**
- ▶ **Accelerating FPGA VHDL Verification**





KONTAKT



Moerser Landstrasse 408
47802 Krefeld | Deutschland



+49 (0)2151.95301-0



info@trias-mikro.com



www.trias-mikro.com

